

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-095661**

(43)Date of publication of application : **26.04.1988**

(51)Int.Cl. H01L 29/46
H01L 21/52
H01L 33/00
H01S 3/18

(21)Application number : **61-241391** (71)Applicant : **TOSHIBA CORP**

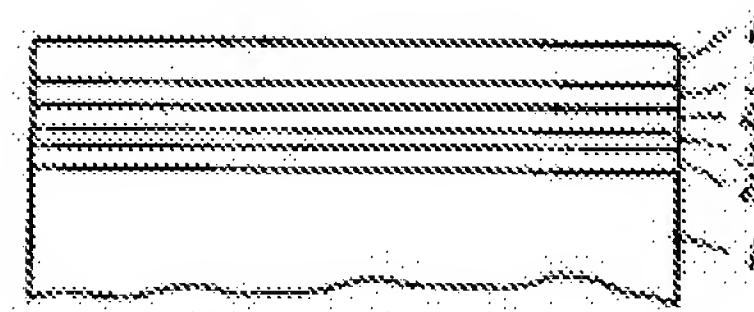
(22)Date of filing : **13.10.1986** (72)Inventor : **KONNO KUNIYAKI
CHINEN YUKIO**

(54) SEMICONDUCTOR ELEMENT ELECTRODE

(57)Abstract:

PURPOSE: To increase adhesion between an electrode and a semiconductor substrate, to improve workability and to enhance reliability by forming an Au or Au alloy layer adjacent to the semiconductor substrate with an active or passive element.

CONSTITUTION: An electrode functioning as a pad is shaped continuously through a vacuum deposition method using the so-called E-gun. The perforated pattern of a resist is formed to an InGaAsP substrate 1 to which an element is shaped, the substrate is set into a vacuum deposition device using the degree of vacuum of 2×10^{-6} torr as a lower limit, and an Au layer 2 in 500Å, a Ti layer 3 in 1000Å, a Pt layer 4 in 1000Å and an Au layer 5 in 5000Å are laminated in succession. Heat treatment is executed in an inert (N₂) atmosphere held at 400~450°C, an electrode is also formed on the rear side of the InGaAsP substrate 1, and a plurality of the metallic layers laminated are over-coated with Au 6 in 5000Å, thus shaping a semiconductor element electrode.



⑫ 公開特許公報 (A)

昭63-95661

⑬ Int. Cl. 4

H 01 L 29/46
21/52
33/00
H 01 S 3/18

識別記号

府内整理番号

B-7638-5F
A-8728-5F
E-6819-5F
7377-5F

⑭ 公開 昭和63年(1988)4月26日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体素子電極

⑯ 特願 昭61-241391

⑰ 出願 昭61(1986)10月13日

⑱ 発明者 紺野 邦明 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内

⑲ 発明者 知念 幸勇 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内

⑳ 出願人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代理人 弁理士 井上 一男

明細書

(発明が解決しようとする問題点)

1. 発明の名称

半導体素子電極

このような電極は、InP, GaAs, InGaAsP等のⅢ-V族化合物半導体に対する接着力が極めて弱い事実が判明した。即ち接着層であるTi膜はこのⅢ-V族化合物半導体と本来強い接着力を示すが、このTi膜を形成する際適用する真空装置内に残留するわずかなハイドロカーボン (hydro Carbon) を主体とする気体や水分と、又はこの化合物半導体表面を被覆する極微量の汚染物質はゲッタ作用の強いTi膜が優先的に結合して半導体との接着力が弱まることが想定される。

2. 特許請求の範囲

能動もしくは受動素子をもつ半導体基板表面に隣接してAuもしくはAu合金からなる層を設け、これに接着層を含む複数の金属層を積層することを特徴とする半導体素子電極。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はⅢ-V族化合物からなる半導体基板を利用する半導体素子特に光半導体素子の電極構造に関する。

(従来の技術)

半導体レーザや発光ダイオードなどの光半導体素子では、半導体チップへの通電のために半導体層に金属電極を被着している。金属電極としては、一般に、Ti/Pt/Auからなる多層金属膜が用いられる。

しかも、このTi膜をⅢ-V族化合物半導体に被着すると、この半導体の組成元素であるPならびにAs等と反応してその界面に接着力の弱い変成層を形成することが予想される。更に、他の元素より低温で解離し易いP及びAsを含むⅢ-V族化合物半導体表面にTi層を隣接させた多層金属を被着して熱処理を施すと、前記変成層を形成する度合いがますます進行すると考えられる。

本発明は上記難点を除去する新規な半導体素子

電極に関し、特に半導体基板との接着力が強く作業性がよくひいては信頼性の高いものを提供することを目的とする。

〔発明の構成〕

(問題点を解決するための手段)

このため本発明に係る半導体素子電極では能動もしくは受動素子をもつ半導体基板に隣接してAuもしくはAu合金層を設け、こゝに接着層を含む複数の金属層を積層する手法を採取する。

(作用)

このように本発明ではⅢ-V族化合物半導体基板表面に薄い金属層を被覆後、接着層を含む複数の金属層を堆積して熱処理を施すと、接着力が著しく改善されて強固になる事実を基に完成したものである。

こゝで第1表により従来技術との接着強度の比較を明らかにするが、その試験法を先に記載する。これにはスコッチテープ剥離法によっており、このテープに少しでも電極金属片が付着した場合は×印、何等付着しない折は○印を記載した。尚実

このようにAu層をⅢ-V族化合物半導体基板表面に隣接して形成し、更にTi, Pt及びAu層を積層した電極は従来の電極より明らかに接着強度が改善されていることが明らかである。

尚このⅢ-V族化合物半導体基板に隣接して形成するAu層の厚さは100Å～2500Åが必要である。と言うのは100Å未満の厚さではその効果が充分でなく又2500Å以下であればその機能を発揮できることが確認されており、経済的に高価な金属を必要以上被覆することによってもたらされるコストアップを避ける。又Au単独層の外にはAuGe層も同様な効果をもたらすことも確認済みである。

このAμ層もしくはAuGe層に連続して形成するTi層及びPt層は厚さ100Å～5000Åが適用可能範囲であり、1000Åが最も好ましい値である。又最上層のAuはこゝに熱圧着する金属細線の種類Al, Cu, もしくはAu細線によりAl, Cu層など適当に選択可能であり、Pt層は複数種の金属層を積層した結果、発生が予想される金属原子の拡散に対するバリヤ層として動作する。

際の試験に当ってはスライド硝子に接着剤としてワックスを塗布し、こゝに前記電極を堆積したⅢ-V族化合物半導体基板であるウエーハを載置して冷却して固定する。この場合綿棒でこすって気泡を追出すのは勿論である。この電極には約10cmのテープをはりつけてからその端部を引きはがして電極残渣の付着状況を観察した。

又基板の種類として示したInGaAsP/InPは厚さ350μmのInP半導体基板に1μm程度のInGaAsPからなるエピタキシャル層を堆積したものであり、又熱処理はオーミック電極の形成に(Ⅲ-V族半導体基板に形成する場合)適用する400℃～450℃を勘案して不活性雰囲気430℃5分の処理を施したものである。

第1表 接着強度の比較

電極構造 基板	Ti(第1層)/Pt/Au			Au(第1層)/Ti/Pt/Au		
	InGaAsP/InP	InP	GaAs	InGaAsP/InP	InP	GaAs
接着強度	熱処理前	×	×	×	○	○
	熱処理後	×	×	×	○	○

又Ti層は前述のようにゲッタ作用を発揮するのに加えてPt及びAu層との接着を確実にする役割りを果すものでありこれをCr層と置換することは差しつかえないことを付記する。

(実施例)

図面を参照して本発明の実施例を詳述する。

この例ではInGaAsPからなる半導体基板1に本発明を適用するもので、この半導体基板1には図示していないが、能動素子もしくは受動素子を形成済みである。この能動あるいは受動素子はその電極をこの半導体基板の特定位置に配線し、こゝにいわゆるAl又はAl合金からなるパッドを設け、この半導体基板をヒートシンクにマウントし、更にシステムにヒートシンクを固定しリードと金属細線により電気的に接続して、このリードを使用機器と接触して回路接続する。

このパッドとしての機能を果す本発明の電極はいわゆるE-Gunを使用する真空蒸着法により連続して形成する。

素子を形成したInGaAsP基板1にはレジストの

空あきパターンを設けこれを 2×10^{-6} torr を下限とした真空蒸着装置内にセット後Au層2を500Å、Ti層3を1000Å、Pt層4を1000Å更にAu層5を5000Å順次積層する。次に400°C乃至450°Cに保持した不活性(N_2)雰囲気で約5分熱処理を施し更にこのInGaAsP半導体基板1の裏側にも電極(図示せず)を形成し、更に又積層した複数金属層にAu6を5000Åオーバーコートして半導体素子電極を形成する。

このオーバーコート後レジストをスペーサとするリフトオフ法によってこの電極以外の積層した複数の金属層を除去するが、これ以外の種々の慣用手段が適用可能であることは言うまでもなく、更に半導体基板の導電型はPもしくはn型の何れでも採用できる。

〔発明の効果〕

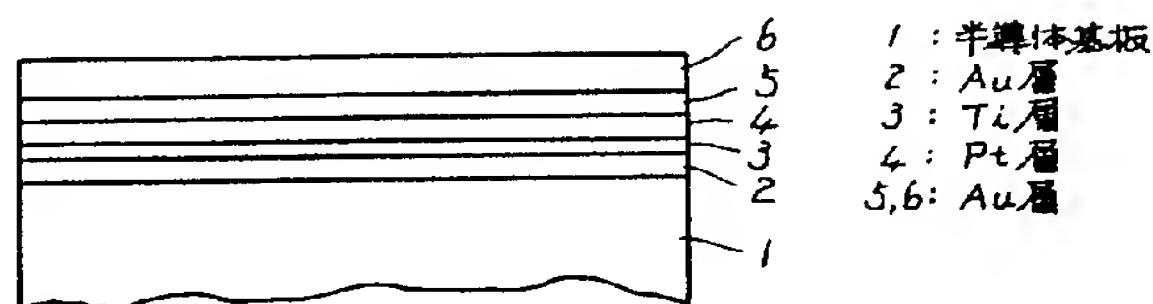
前述のようにIII-V族化合物半導体基板に隣接してAu層もしくはAU合金層を設けると、極めて接着力が得られることが判明したし、これを半導体素子の電極として適用して外部リードとの接続を

図れば信頼性の高い特性が得られる。これはTi等の接着層の保有する優れた接着力を利用した従来電極に発生した、変成層の形成が避けられて半導体素子特性を長期にわたって十分発揮できるものである。

4. 図面の簡単な説明

図は本発明に係る半導体素子電極の断面図である。

代理人 弁理士 井 上 一 男



図面